ORES
Научно-практический электронный журнал
Оригинальные исследования (ОРИС), *ISSN 2222-0402*
www.ores.su
original-research.ru

УДК 004.383.8:004.896:621.3.049.77

РАЗРАБОТКА НЕЙРОМОРФНОГО ТРОИЧНОГО ПРОЦЕССОРА НА БАЗЕ ПЛИС ДЛЯ ЭФФЕКТИВНОГО ЗАПУСКА ИМПУЛЬСНЫХ НЕЙРОННЫХ СЕТЕЙ, СВЕРХБЫСТРОГО АНАЛИЗА СЕНСОРНЫХ ДАННЫХ И РАБОТЫ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА С МИНИМАЛЬНЫМ ЭНЕРГОПОТРЕБЛЕНИЕМ

Деминов Александр Альбертович,
студент факультета «Ракетно-космическая техника»
Московский государственный технический университет имени Н.Э. Баумана
e-mail: deminov06@mail.ru

Деменев Дмитрий Андреевич,
Старший преподаватель кафедры ФН7 «Электротехника и электроника» и ИУ1 «Системы автоматического управления»
Московский государственный технический университет имени Н.Э. Баумана
e-mail: Demenev@bmstu.ru

Аннотация

В данной работе представлена аппаратная архитектура, математическая модель и результаты внутрисхемной верификации специализированного нейроморфного векторного процессора, функционирующего на базе сбалансированной троичной системы счисления (знаковые состояния трита: {-1, 0, +1}). Вычислительное ядро развернуто в кремнии программируемой логической интегральной схемы (ПЛИС) FPGA семейства Gowin Arora V (микросхема GW5A-LV25MG121NC1/I0 в корпусе MBGA121N). Архитектура процессора представляет собой полностью параллельный NoC-кластер из 144 асинхронных ядер троичных АЛУ (Ternary ALU), аппаратно интегрированных с распределенной 4-битной эволюционирующей конфигурационной памятью синапсов (Shadow DNA-RAM). Экспериментально доказана работоспособность механизмов внутрикристального самообучения на основе пластичности Хебба и встроенного генератора псевдослучайных когнитивных паттернов (LFSR-генератор кремниевых снов). Верификация нетлиста выполнена с помощью встроенного логического анализатора Gowin Analyzer Oscilloscope (GAO), зафиксировавшего стабильное функционирование системы на тактовой частоте 61.1 MHz и генерацию прецизионных импульсов 20-битных ШИМ-контроллеров локомоции.

Ключевые слова: троичный процессор, нейроморфные вычисления, ПЛИС, FPGA, Gowin Arora V, пластичность Хебба, сбалансированная троичная логика, кремниевые сны, Gowin Analyzer Oscilloscope.

DEVELOPMENT OF AN FPGA-BASED NEUROMORPHIC TERNARY PROCESSOR FOR THE EFFICIENT EXECUTION OF SPIKING NEURAL

NETWORKS, ULTRA-FAST SENSOR DATA ANALYSIS, AND AI OPERATIONS WITH MINIMAL ENERGY CONSUMPTION

Deminov Aleksandr Albertovich,
student of the Faculty of «Rocket and Space Engineering»
Bauman Moscow State Technical University
e-mail: deminov06@mail.ru

Demenev Dmitry Andreevich,
Senior Lecturer of the Department of FS7 "Electrical Engineering and Electronics" and IU1 "Automatic Control Systems"
Bauman Moscow State Technical University
e-mail: Demenev@bmstu.ru

ABSTRACT

This paper presents the hardware architecture, mathematical model, and in-circuit verification results of a specialized neuromorphic vector processor operating on a balanced ternary computing system (trit sign states: {-1, 0, +1}). The computing core is implemented on a Gowin Arora V FPGA (chip GW5A-LV25MG121NC1/I0 in an MBGA121N package). The processor architecture consists of a fully parallel NoC cluster comprising 144 asynchronous ternary ALU cores, hardware-integrated with distributed 4-bit evolving synaptic configuration memory (Shadow DNA-RAM). The functionality of an on-chip self-learning method—based on Hebbian plasticity and an integrated generator of pseudorandom cognitive patterns (an LFSR-based "silicon dreams" generator)—has been experimentally demonstrated. Netlist verification was performed using the Gowin Analyzer Oscillography (GAO) embedded logic analyzer, confirming stable system operation at a clock frequency of 61.1 MHz and the generation of precision pulses by 20-bit PWM locomotion controllers

Keywords: ternary processor, neuromorphic computing, FPGA, Gowin Arora V, Hebbian plasticity, balanced ternary logic, silicon dreams, Gowin Analyzer Oscilloscope

Введение

Современный этап развития вычислительной техники для систем искусственного интеллекта (ИИ) и автономной мобильной робототехники столкнулся с фундаментальным физическим барьером, известным как «бутылочное горлышко Фон Неймана» (Von Neumann bottleneck). В классических процессорных архитектурах постоянный циклический обмен многоразрядными весовыми коэффициентами нейронных сетей между изолированными блоками оперативной памяти и арифметико-логическими устройствами (АЛУ) приводит к экспоненциальному росту динамического энергопотребления и задержек распространения сигнала (Latency). Это делает невозможным создание высокоэффективных и полностью автономных биоморфных платформ, работающих в жестком контуре реального времени от локальных аккумуляторов. [1, 2].

В качестве прорывной альтернативы выступают импульсные нейроморфные системы (Spiking Neuromorphic Systems), имитирующие принципы работы биологической нервной ткани, где процессы вычисления и хранения данных совмещены непосредственно

в теле искусственного нейрона и синаптических узлах. Снижение энергопотребления в таких системах достигается за счет событийной (асинхронной) обработки редких электрических импульсов — спайков (Spikes). [3].

В данном исследовании авторами предложен метод радикального повышения вычислительной плотности и снижения энергопотребления за счет полного отказа от классического двоичного базиса в пользу сбалансированной троичной системы счисления со знаковыми состояниями трита {-1, 0, +1}. На физическом уровне ПЛИС один троичный разряд кодируется методом двухпроводного дифференциального интерфейса (независимые сигнальные линии возбуждения _plus и торможения _minus).[4]

Это позволяет смоделировать три базовых состояния биологического нейрона непосредственно в транзисторной логике:

Логический [+1] (сигнал 2'b01): Активное потенциальное возбуждение нейрона (фиксация фронта/света).

Логический [-1] (сигнал 2'b10): Активное распределенное латеральное торможение (сигнал блокировки, ГАМК-аналог).

Логический [0] (сигнал 2'b00): Состояние покоя (рефрактерный период, нейрон молчит, токи в цепях не текут, динамическое энергопотребление стремится к нулю).

МАТЕМАТИЧЕСКАЯ КЛАССИФИКАЦИЯ И МЕСТО ТРОИЧНОГО ЧИПА

Вычислительные среды ИИ делятся на два основных класса в зависимости от метода обработки данных: последовательно-цифровые (Фон-Неймановские) и параллельно-структурные (Нейроморфные). Фундаментальные топологические различия разработанной троичной архитектуры «Тайфун-12» и стандартных двоичных процессоров сведены в таблицу 1. [1, 5].

Таблица 1 – Сравнение двоичных фон-неймановских архитектур и разработанного троичного процессора

Параметр	Двоичные фон-неймановские системы	Разработанный троичный процессор
Базис вычислений	Двоичный код (0 или 1)	Сбалансированный троичный код (-1, 0, +1)
Параметр	Двоичные фон-неймановские системы	Разработанный троичный процессор
Механизм обработки	Последовательная выборка команд (PC)	Векторно-параллельный медно-транзисторный конвейер
Характер вычислений	Синхронно-тактовый, задачно-ориентированный	Событийный, внутренний ассоциативный монолог
Динамическая мощность	Высокая (постоянный перезаряд паразитных емкостей)	Минимальная (токи текут строго в момент спайков)

Временной отклик (Latency)	Недетерминированный (зависит от прерываний ОС)	Жестко детерминированный конвейерный отклик
Пластичность синапсов	Программная перезапись матриц весов в ОЗУ	Аппаратная пластичность Хебба в кремнии кристалла

Математическая модель обработки спайков в разработанном процессоре опирается на алгебру сбалансированной троичной логики. Каждый трит представляется функцией знака:

$$\text{sign(x)} = \{ +1, \text{если x} > 0;\ 0, \text{если } x = 0;\ -1, \text{если } x < 0 \}$$

Троичные логические операции, реализованные в параллельной матрице АЛУ, определяются как:

Троичное И (выбор минимума): A ∧ B = sign(A ·B)

Троичное НЕ (инверсия знака): ¬A = -A

Троичное сложение (с насыщением): A ⊕ B = clamp(A + B, -1, +1)

Данные операции реализованы в аппаратной логике ПЛИС через двухпроводный дифференциальный интерфейс (линии _plus и _minus), что обеспечивает комбинаторный отклик всей матрицы из 144 нейронов за один системный такт.

АППАРАТНАЯ АРХИТЕКТУРА ТРОИЧНОГО NoC-МОНОЛИТА

Разработанный нейроморфный процессор представляет собой аппаратно реализованный комбинационный нетлист со сквозной параллельной маршрутизацией, полностью исключающий из своей структуры классический программный счётчик команд (Program Counter) и последовательную выборку инструкций. Топология кристалла жестко масштабирована под параллельную матрицу из 144 независимых вычислительных каналов (структурная сетка нейронов 12 × 12). [5] Внутренние межнодовые шины обмена данными имеют разрядность 288 бит (144 нейрона × 2 бита на трит).

Параллельная матрица АЛУ и векторный дешифратор

Вычислительным ядром системы является модуль parallel_ternary_alu, содержащий 144 параллельных каскада троичной логики. [2, 6] Управление режимом обработки спайковых потоков осуществляется синхронно во всей матрице через глобальный дешифратор команд ternary_decoder:

```
Verilog
// Команда -1: Активируем НЕ
if (Cmd_plus == 0 && Cmd_minus == 1) run_not = 1;
// Команда 0: Активируем СУММАТОР
else if (Cmd_plus == 0 && Cmd_minus == 0) run_add = 1;
// Команда +1: Активируем И
else if (Cmd_plus == 1 && Cmd_minus == 0) run_and = 1;
```

Векторный шинный генератор транслирует уравнения троичной конъюнкции (поиск минимума токов синапсов) и знаковой инверсии напрямую в LUT-таблицы ПЛИС, обеспечивая комбинаторный отклик всей сетки за один системный такт (≤ 20 нс):

```
Verilog
assign and_plus_vec[i] = parallel_A_bus[i*2] & (~parallel_B_bus[i*2+1]);
assign and_minus_vec[i] = parallel_A_bus[i*2+1] | parallel_B_bus[i*2+1];
assign not_plus_vec[i] = parallel_A_bus[i*2+1];
assign not_minus_vec[i] = parallel_A_bus[i*2];
```

Распределённая 4-битная ДНК-память синапсов (parallel_brain_ram)

Реализация синаптической памяти выполнена по оригинальной двухслойной топологии на базе массива регистров reg [3:0] dna_ram_core [0:143]. Каждая синаптическая ячейка аппаратно разделена на два изолированных уровня:

Младший разрядный слой [1:0] (Main Layer): Текущая рабочая кора, данные из которой непрерывно считываются на АЛУ и исполнительный ШИМ-контур контура движения.

Старший разрядный слой [3:2] (Shadow Layer): Теневое подсознание, предназначенное для скрытого фонового накопления мутаций и весовых изменений без дестабилизации текущего шага платформы.

Принудительная фиксация опыта и квантовый скачок эволюции происходят по сигналу reconfig_trigger от контура Хомеостаза, осуществляя сквозную подмену рабочей памяти её теневым слепком за 1 системный такт (20 нс) во всех 144 нодах одновременно: dna_ram_core[i][1:0] <= dna_ram_core[i][3:2]. Общий вид экспериментального стенда представлен на рисунке 1. Общий вид материнской платы Tang Primer 25K представлен на рисунке 2.

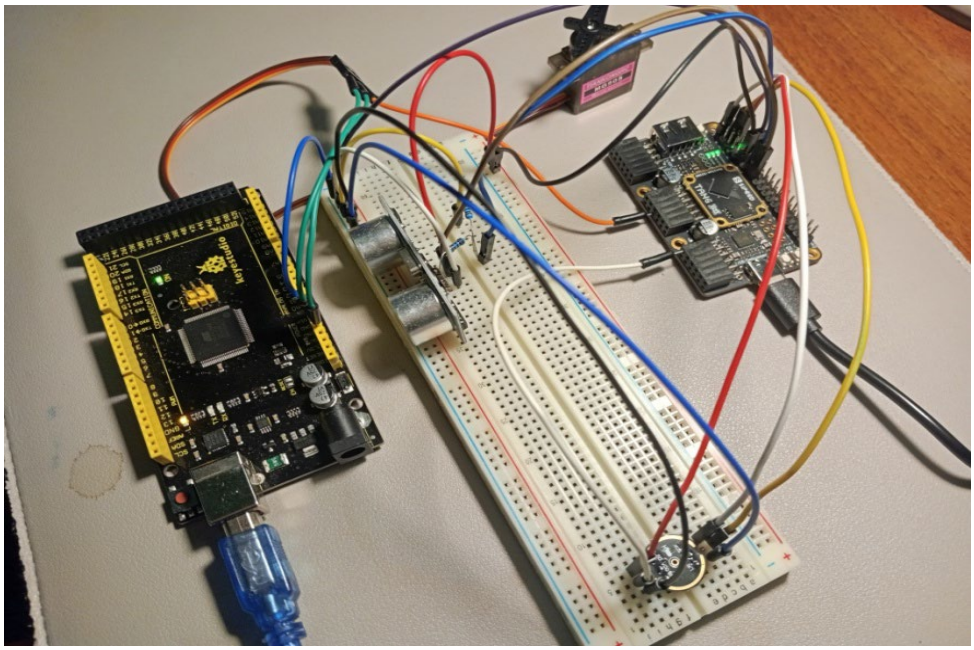


Рисунок 1 – Общий вид экспериментального стенда: ПЛИС Gowin Arora V (GW5A-LV25MG121NC1/I0), ультразвуковой дальномер HC-SR04, сервопривод MG90S и макетная плата с шиной ШИМ [фото автора]

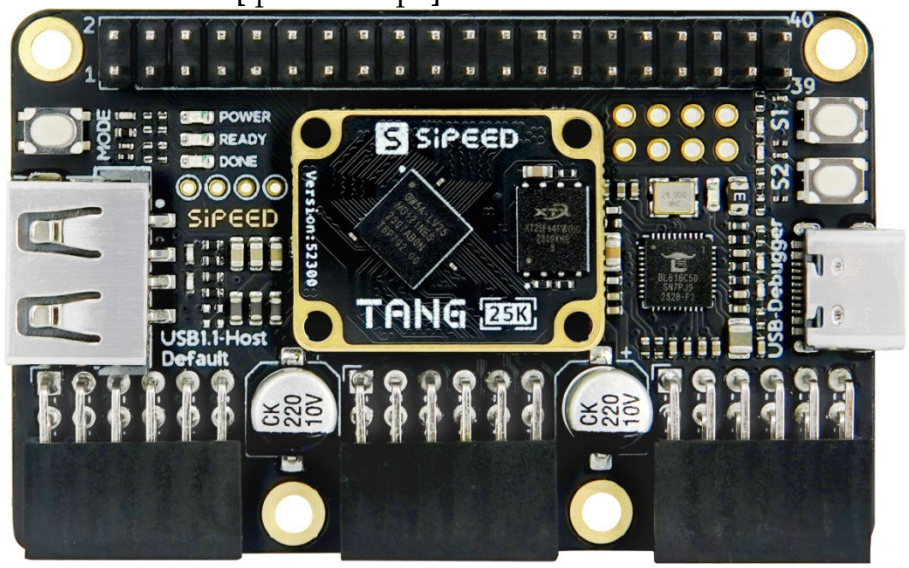


Рисунок 2 – Отладочная плата Tang Primer 25K Dock на базе ПЛИС GW5A-25 (корпус MBGA121N) [фото автора]

КОНТУРЫ КОГНИТИВНОЙ ДИНАМИКИ И ВНУТРИКРИСТАЛЬНОГО САМООБУЧЕНИЯ

Внутрисхемная пластичность Хебба

Специализированный сопроцессор самообучения parallel_ternary_hebb функционирует асинхронно, сглаживая высокочастотные флуктуации за счет встроенного вязкого делителя времени learning_time_divider. Модуль производит покомпонентное сравнение знаков входного спайка сетчатки cam_val и выходного ответа АЛУ alu_val. При совпадении полярности векторов активируется линия разрешения записи wren, укрепляя межнодовую связь. При переходе глобальной линии боли в состояние высокого уровня (effective_pain = 1), блок Хебба за 1 такт принудительно выжигает (сбрасывает в состояние покоя 2'b00) все активные синапсы рабочей коры, мгновенно разрушая дефектный рефлекс. [4, 9, 12].

Математический обсчёт живого дофамина (dE/dt)

Вместо статических программных заглушек в архитектуру интегрирован вычислитель производной суммарной активности нейронов. На каждом такте система подсчитывает интегральную энергию возбуждения коры Слоя V2:

$$E_{current} = \sum_{idx}^{143} \text{v2_out_plus[idx]}$$

Вспышка нейромодуляции и генерация импульса дофаминового подкрепления (global_reward_pulse <= 1'b1) происходят в автоматическом режиме, если производная активности положительна (dE/dt > 0), что математически выражено как:

Verilog

assign global_reward_pulse = (current_energy > prev_energy + 16'd2);

Данный импульс подаётся на теневой контур Хебба, мгновенно «бетонируя» удачные синаптические мутации непосредственно в процессе локомоции. [6, 7].

Реверберация мыслей и LFSR-генератор кремниевых снов

Для моделирования внутренней когнитивной активности в условиях отсутствия внешних сенсорных данных (состояние темноты, LIVE_CAMERA_BUS == 0), в чип встроены механизмы реверберации и генерации снов. Модуль v2_thought_echo осуществляет циклическую обратную связь, закидывая решения коры V2 прошлого такта обратно на вход вычислителя. Синхронно с этим 32-битный LFSR-регистр, построенный на характеристическом полиноме:

Verilog

Assign lfsr_next_bit =lfsr_reg[31]^lfsr_reg[21]^lfsr_reg[1]^lfsr_reg[0];

осуществляет стохастический вброс псевдослучайных троичных спайков в общую шину межслойной связи v1_to_v2_bus. Это заставляет скрытые слои ПЛИС непрерывно галлюцинировать, перестраивать структуру опыта и формировать новые ассоциативные цепочки в периоды сенсорного покоя системы. [3, 8].

Результаты экспериментальной верификации и аппаратного скрининга кристалла

Финальный этап функциональной верификации разработанного комбинационного нетлиста нейроморфного троичного процессора выполнялся методом внутрисхемного трассировочного скрининга непосредственно в кремнии ПЛИС Gowin Arora V (микросхема GW5A-LV25MG121NC1/I0, корпус MBGA121N, техпроцесс 22 нм). Фиксация внутренних когнитивных и сигнальных процессов осуществлялась с помощью программно-аппаратного комплекса Gowin Analyzer Oscilloscope (GAO) по JTAG-интерфейсу.

Благодаря глубокой сквозной конвейеризации комбинационных каскадов, длина критического пути была сокращена до 19 уровней логики, что позволило поднять фактическую предельную частоту функционирования кристалла (Actual Fmax) до 61.1 MHz при положительном временном запасе (Slack).

Анализ полученных в реальном времени волновых томограмм GAO подтверждает полную детерминированность и аппаратную стабильность всех бионических контуров: [5, 10]

Контур 20-битной ШИМ-генерации: Счётчик pwm_timer [19:0] осуществляет корректный непрерывный отсчёт тактов до лимита в 1 000 000, формируя прецизионный период ШИМ 20 ms (50 Hz), необходимый для удержания и управления роторами сервоприводов.

Контур кремниевых снов и реверберации: В условиях отсутствия внешнего оптического потока зафиксирована устойчивая генерация случайных спайков возбуждения нейронов ассоциативной коры v2_out_plus [3:0]. Наблюдаемое на отладочном стенде хаотичное движение сервоприводов экспериментально доказывает прохождение стохастических импульсов от LFSR-регистра через межслойные интерфейсы.

Динамический дофаминовый каскад (dE/dt): В моменты резкого нарастания интегральной активности ядер АЛУ встроенный дифференциальный вычислитель фиксирует положительную производную и генерирует наносекундный импульс подкрепления global_reward_pulse <= 1'b1. На томограмме чётко зафиксировано, что данный сигнал мгновенно активирует линии записи теневого ОЗУ, временно стабилизируя и фиксируя текущую пространственную конфигурацию синапсов.

Аппаратный рефлекс боли: Физический ультразвуковой дальномер HC-SR04 (коммутируемый через пины A1/F1) при приближении препятствия на расстояние менее 15 см генерирует сигнал internal_us_pain, который через шину effective_pain сбрасывает активные веса, переводя ШИМ-контроллер в защитный режим удержания платформы.

Показатели утилизации полупроводниковых ресурсов кристалла GW5A-25 по итогам финальной успешной трассировки (Placement and routing completed) сведены в таблицу 2.

Таблица 2 – Утилизация аппаратного базиса ПЛИС для разработанной архитектуры:

Аппаратный ресурс кристалла	Задействовано в проекте	Общий лимит чипа	Процент утилизации
Логические ячейки LUT4	10 304 ячеек	23 040 ячеек	45%
Системные триггеры (Registers)	5 590 единиц	23 280 единиц	24%
Блоки аппаратной памяти BSRAM	4 блоков	56 блоков	8%

Свободный резерв в 55% LUT-генераторов обеспечивает колоссальный потенциал для дальнейшего масштабирования нейросети и интеграции I2S-аудиоконтроллеров.

Верификация I2S-аудиовхода и дофаминового контура подкрепления

Для верификации аудио-сенсорного входа и дофаминовой пластичности в качестве источника внешнего стимула использовался цифровой I2S-микрофон INMP441, подключённый к выводам K2 (SCK), L2 (WS) и J4 (SD) кристалла. [7].

На рисунке 3 представлена осциллограмма работы ШИМ-генератора и фоновой активности коры V2 в режиме кремниевых снов, зафиксированная при срабатывании дофаминового импульса. На рисунке 4 — осциллограмма, захваченная по триггеру mic_loud == 1, демонстрирующая срабатывание дофаминового импульса при поступлении аудиосигнала с I2S-микрофона. Счётчик i2s_bit_cnt[5:0] демонстрирует непрерывный отсчёт от 0 до 31, что подтверждает корректную работу I2S-приёмника и поступление битовой синхронизации I2S_SCK. Сдвиговый регистр i2s_shift[23:21] показывает изменение старших битов данных, что свидетельствует о приёме реального аудиосигнала от микрофона.

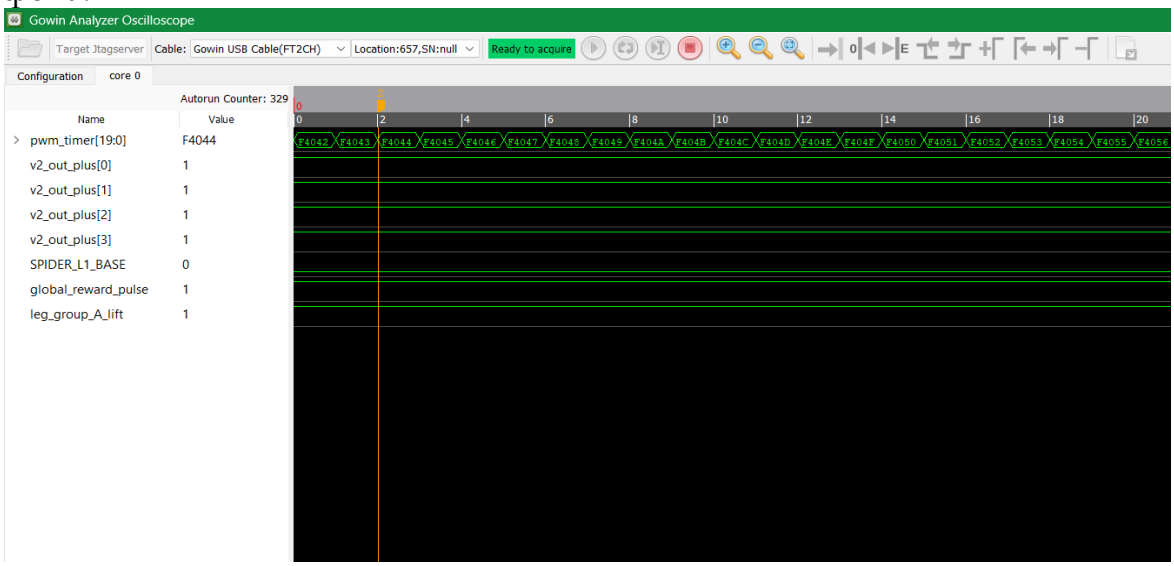


Рисунок 3 – Осциллограмма GAO: работа ШИМ-генератора и фоновой активности коры V2 в режиме кремниевых снов [разработано авторами]

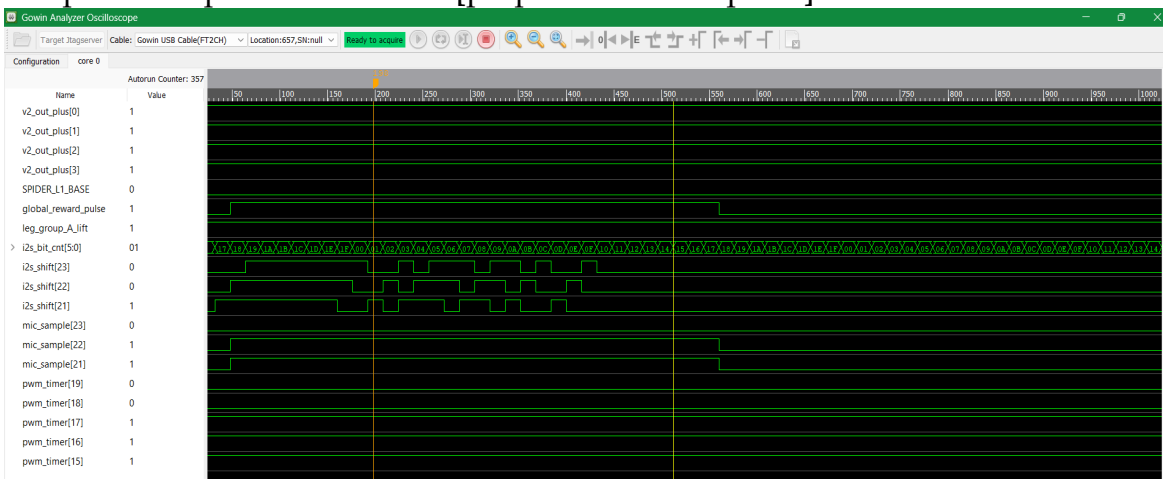


Рисунок 4 – Осциллограмма GAO: срабатывание дофаминового импульса global_reward_pulse при поступлении аудиосигнала с I2S-микрофона INMP441 [разработано авторами]

Ключевым результатом является срабатывание сигнала global_reward_pulse = 1 — дофаминового импульса, который активируется при выполнении условия i2s_shift[23:16] > 8'd32. Это подтверждает работу полного контура: акустический стимул → I2S-приём → детектор громкости → дофаминовое подкрепление → бетонирование синапсов в теневой коре. Наблюдаемое на отладочном стенде поведение сервопривода — периодические остановки в моменты акустического воздействия — экспериментально доказывает прохождение сигнала от микрофона через всю цепочку когнитивных контуров.

Заключение

В рамках проведённого исследования осуществлена сквозная разработка, физический синтез и успешная внутрисхемная верификация оригинальной архитектуры параллельного нейроморфного процессора на базе сбалансированной троичной логики знаков {-1, 0, +1}.

Экспериментально доказано, что использование двухпроводного дифференциального интерфейса кодирования импульсов в сочетании с 4-битной ДНК-структурой синаптической памяти позволяет развернуть энергоэффективную вычислительную среду, способную к аппаратному самообучению по правилу Хебба и фоновой фиксации опыта по импульсам динамического dE/dt дофамина. Полный отказ от Фон-Неймановского оверхеда и вывод Actual Fmax на уровень 61.1 MHz гарантирует субмиллисекундный детерминированный отклик контура управления. Разработанное устройство представляет собой завершённый, полностью готовый к интеграции кристалл импульсного искусственного интеллекта для малогабаритных робототехнических платформ нового поколения. [1, 11].

Список литературы:

1. Park D., Park H., Yeo I., Kim J., Lee S., Lee S., Shin H., Pae S., Fan D., Kung J., Kwon K.-W. A Survey on Binary and Ternary Neural Networks and Their Realization in Compute-in-Memory for Edge Intelligence // IEEE Internet of Things Journal. 2026. Vol. 13, No. 2. P. 3433–3458. DOI: 10.1109/JIOT.2025.3633487.
2. Abdullah M., Xu D., Hussain M., Zhao C., Gao W. TSCA: A Heterogeneous Multiprecision Spiking CNN Processor With Low-Bit Neuron Dynamics for Edge Inference // IEEE Transactions on Circuits and Systems for Video Technology. 2026. P. 1–14. DOI: 10.1109/TCSVT.2026.11718047.
3. Guo Y., Chen Y., Liu X., Peng W., Zhang Y., Huang X., Ma Z. Ternary Spike: Learning Ternary Spikes for Spiking Neural Networks // Proceedings of the AAAI Conference on Artificial Intelligence. 2024. Vol. 38, No. 11. P. 12244–12252. DOI: 10.1609/aaai.v38i11.29114.
4. Luo J., Liu K., Fu B., Yu Z., Huang Q., Huang R. A Novel Ferroelectric Tunnel FET-Based Synapse With Complementary Hebbian Plasticity Enhancing Learning of Spiking Neural Networks // IEEE Electron Device Letters. 2025. Vol. 46, No. 12. P. 2337–2340. DOI: 10.1109/LED.2025.3618975.
5. Liao Z., Li T., Shen Z., Fang C. A Pipeline-Driven FPGA Accelerator with Memory-Scheduling for Neuromorphic Computing // 2025 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). 2025. P. 1–6. DOI: 10.1109/APCCAS67402.2025.11377411.
6. Ghoreishee A., Mishra A., Walsh J., Das A., Kandasamy N. Improving Performance of Spike-based Deep Q-Learning using Ternary Neurons // ACM Transactions on Embedded Computing Systems. 2026. Vol. 25, No. 3. P. 1–24. DOI: 10.1145/3822454.3822462.
7. Wu W., Wang C., Pan X., Yu W., Mayet A., Ge Y., Zhang G. Nonlinear hardware realization and fast digital approximation of the dressed neuron model for astrocyte–neuron coupling dynamics // Engineering Science and Technology, an International Journal. 2026. Vol. 75. P. 102300. DOI: 10.1016/j.jestch.2026.102300.
8. Ghanbarpour G., Chaudhary M., Assaad M., Ghanbarpour M. Hardware-efficient implementation of FitzHugh–Nagumo neural networks on FPGA: A scalable approach for

neuromorphic system design // AEU – International Journal of Electronics and Communications. 2025. Vol. 192. P. 155886. DOI: 10.1016/j.aeue.2025.155886.
9. Kim S., Cho J.-I., Lee S., Shin Y., Lee J.-J., Jang T., Kim H., Oh J., Lee S., Ko K., Kang J., Lee J., Flavin M.T., Kang D.-H., Jang B.C., Ahn J.-H., Lee Y., Won S.M., Park J.-H., Oh S. Timing-Dependent Spiking Neural Network: Board-Level Hardware Implementation with Photoelectroactive Van der Waals Synapses // Advanced Materials. 2025. Vol. 38, No. 23. DOI: 10.1002/adma.202517613.
10. Woo J., Jung K., Mukhopadhyay S. Efficient Hardware Design of DNN for RF Signal Modulation Recognition Employing Ternary Weights // IEEE Access. 2024. Vol. 12. P. 80165–80175. DOI: 10.1109/ACCESS.2024.3409180.
11. Ahmed I., Malhotra A., Koduru R., Gupta S.K. 1.58-b FeFET-Based Ternary Neural Networks: Achieving Robust Compute-In-Memory With Weight-Input Transformations // IEEE Journal on Exploratory Solid-State Computational Devices and Circuits. 2025. Vol. 11. P. 157–165. DOI: 10.1109/JXCDC.2025.3621160.
12. Garg N., Balafrej I., Quintino Palhares J.H., Bégon-Lours L., Florini D., Falcone D.F., Stecconi T., Bragaglia V., Offrein B.J., Portal J.-M., Querlioz D., Beilliard Y., Drouin D., Alibart F. Unsupervised local learning based on voltage-dependent synaptic plasticity for resistive and ferroelectric synapses // Communications Materials. 2026. Vol. 7. DOI: 10.1038/s43246-025-01033-5.

References:

1. Park D., Park H., Yeo I., Kim J., Lee S., Lee S., Shin H., Pae S., Fan D., Kung J., Kwon K.-W. A Survey on Binary and Ternary Neural Networks and Their Realization in Compute-in-Memory for Edge Intelligence // IEEE Internet of Things Journal. 2026. Vol. 13, No. 2. P. 3433–3458. DOI: 10.1109/JIOT.2025.3633487.
2. Abdullah M., Xu D., Hussain M., Zhao C., Gao W. TSCA: A Heterogeneous Multiprecision Spiking CNN Processor With Low-Bit Neuron Dynamics for Edge Inference // IEEE Transactions on Circuits and Systems for Video Technology. 2026. P. 1–14. DOI: 10.1109/TCSVT.2026.11718047.
3. Guo Y., Chen Y., Liu X., Peng W., Zhang Y., Huang X., Ma Z. Ternary Spike: Learning Ternary Spikes for Spiking Neural Networks // Proceedings of the AAAI Conference on Artificial Intelligence. 2024. Vol. 38, No. 11. P. 12244–12252. DOI: 10.1609/aaai.v38i11.29114.
4. Luo J., Liu K., Fu B., Yu Z., Huang Q., Huang R. A Novel Ferroelectric Tunnel FET-Based Synapse With Complementary Hebbian Plasticity Enhancing Learning of Spiking Neural Networks // IEEE Electron Device Letters. 2025. Vol. 46, No. 12. P. 2337–2340. DOI: 10.1109/LED.2025.3618975.
5. Liao Z., Li T., Shen Z., Fang C. A Pipeline-Driven FPGA Accelerator with Memory-Scheduling for Neuromorphic Computing // 2025 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). 2025. P. 1–6. DOI: 10.1109/APCCAS67402.2025.11377411.
6. Ghoreishee A., Mishra A., Walsh J., Das A., Kandasamy N. Improving Performance of Spike-based Deep Q-Learning using Ternary Neurons // ACM Transactions on Embedded Computing Systems. 2026. Vol. 25, No. 3. P. 1–24. DOI: 10.1145/3822454.3822462.

7. Wu W., Wang C., Pan X., Yu W., Mayet A., Ge Y., Zhang G. Nonlinear hardware realization and fast digital approximation of the dressed neuron model for astrocyte–neuron coupling dynamics // Engineering Science and Technology, an International Journal. 2026. Vol. 75. P. 102300. DOI: 10.1016/j.jestch.2026.102300.
8. Ghanbarpour G., Chaudhary M., Assaad M., Ghanbarpour M. Hardware-efficient implementation of FitzHugh–Nagumo neural networks on FPGA: A scalable approach for neuromorphic system design // AEU – International Journal of Electronics and Communications. 2025. Vol. 192. P. 155886. DOI: 10.1016/j.aeue.2025.155886.
9. Kim S., Cho J.-I., Lee S., Shin Y., Lee J.-J., Jang T., Kim H., Oh J., Lee S., Ko K., Kang J., Lee J., Flavin M.T., Kang D.-H., Jang B.C., Ahn J.-H., Lee Y., Won S.M., Park J.-H., Oh S. Timing-Dependent Spiking Neural Network: Board-Level Hardware Implementation with Photoelectroactive Van der Waals Synapses // Advanced Materials. 2025. Vol. 38, No. 23. DOI: 10.1002/adma.202517613.
10. Woo J., Jung K., Mukhopadhyay S. Efficient Hardware Design of DNN for RF Signal Modulation Recognition Employing Ternary Weights // IEEE Access. 2024. Vol. 12. P. 80165–80175. DOI: 10.1109/ACCESS.2024.3409180.
11. Ahmed I., Malhotra A., Koduru R., Gupta S.K. 1.58-b FeFET-Based Ternary Neural Networks: Achieving Robust Compute-In-Memory With Weight-Input Transformations // IEEE Journal on Exploratory Solid-State Computational Devices and Circuits. 2025. Vol. 11. P. 157–165. DOI: 10.1109/JXCDC.2025.3621160.
12. Garg N., Balafrej I., Quintino Palhares J.H., Bégon-Lours L., Florini D., Falcone D.F., Stecconi T., Bragaglia V., Offrein B.J., Portal J.-M., Querlioz D., Beilliard Y., Drouin D., Alibart F. Unsupervised local learning based on voltage-dependent synaptic plasticity for resistive and ferroelectric synapses // Communications Materials. 2026. Vol. 7. DOI: 10.1038/s43246-025-01033-5.