

УДК 004.052.42

**АЛГОРИТМ ОПТИМИЗАЦИИ ПОСЛЕДОВАТЕЛЬНОСТИ ТЕСТОВЫХ
ВЕКТОРОВ ГРАНИЧНОГО СКАНИРОВАНИЯ С УЧЕТОМ ТОПОЛОГИИ
МЕЖСОЕДИНЕНИЙ ПЕЧАТНОЙ ПЛАТЫ****Кленина Оксана Валерьевна,**

РТУ МИРЭА, г. Москва, Россия

Институт информационных технологий, Базовая кафедра № 232 - вычислительных систем
реального времени

Магистрант, e-mail: klenina.o.v@edu.mirea.ru

Кутепов Артем Олегович,

РТУ МИРЭА, г. Москва, Россия

Институт информационных технологий, Базовая кафедра № 232 - вычислительных систем
реального времени

Магистрант, e-mail: art_kutepov@mail.ru

Андреева Ольга Николаевна,

РТУ МИРЭА, г. Москва, Россия

Институт информационных технологий, доцент базовой кафедры № 232 - вычислительных
систем реального времени, д.т.н.

e-mail: andreeva_o@mirea.ru

Сон Игорь Романович,Институт информационных технологий, доцент базовой кафедры № 232 - вычислительных
систем реального времени

e-mail: son@mirea.ru

Аннотация

В статье рассматривается задача генерации и оптимизации последовательности тестовых векторов граничного сканирования для контроля межсоединений печатных плат. Актуальность задачи обусловлена ростом плотности монтажа, применением корпусов BGA/CSP и снижением доступности контактных узлов для традиционных зондовых методов контроля. Предложен двухэтапный алгоритм: на первом этапе формируется компактный набор тестовых векторов методом Counting, на втором этапе порядок их применения оптимизируется методом 2-opt/exact с использованием топологически-взвешенной функции стоимости переключений. Функция стоимости учитывает не только расстояние Хэмминга между соседними тестовыми векторами, но и матрицу топологической смежности цепей печатной платы. Вычислительная верификация выполнена методом Монте-Карло на трех сериях модельных топологий печатных плат с числом узлов $N = 50, 250$ и 1000 . При значении $\alpha = 2,0$ медианное снижение суммарной стоимости переключений составило 65,28% для серии А, 70,77% для серии В и 77,65% для серии С. Расчетное время применения тестов Counting относительно Walking Ones

снизилось на 88,00%. Показано, что переупорядочивание векторов снижает стоимость переключений без изменения состава тестового множества и без ухудшения медианных значений покрытия неисправностей и диагностического разрешения.

Ключевые слова: граничное сканирование, Boundary Scan, IEEE 1149.1, JTAG, тестовые векторы, Counting, 2-opt, топология межсоединений, печатная плата, переключательная активность, покрытие неисправностей.

ALGORITHM FOR OPTIMIZING THE SEQUENCE OF BOUNDARY-SCAN TEST VECTORS WITH CONSIDERATION OF PRINTED CIRCUIT BOARD INTERCONNECT TOPOLOGY

Klenina Oksana Valerevna,

RTU MIREA, Moscow, Russia Institute of Information Technology

Basic Department No. 232 - Real-Time Computing Systems Master's Student

Kutepov Artem Olegovich,

RTU MIREA, Moscow, Russia Institute of Information Technology

Basic Department No. 232 - Real-Time Computing Systems Master's Student

Andreeva Olga Nikolaevna,

Moscow, Russia Institute of Information Technology

Associate professor of the Basic Department No. 232 - Real-Time Computing Systems, PhD in Engineering

Son Igor Romanovich,

Moscow, Russia Institute of Information Technology

Associate professor of the Basic Department No. 232 - Real-Time Computing Systems

ABSTRACT

The paper addresses the problem of generating and optimizing a sequence of boundary-scan test vectors for testing interconnections on printed circuit boards. The relevance of the problem is driven by increasing assembly density, the widespread use of BGA/CSP packages, and the decreasing accessibility of test nodes for traditional probing methods. A two-stage algorithm is proposed: at the first stage, a compact set of test vectors is generated using the Counting method; at the second stage, the order of their application is optimized by the 2-opt/exact method with a topologically weighted switching-cost function. The cost function takes into account not only the Hamming distance between adjacent test vectors, but also the topological adjacency matrix of PCB nets. Computational verification is performed by the Monte Carlo method on three series of model PCB topologies with the number of nets $N=50$, 250, and 1000. For $\alpha=2.0$, the median reduction of the total switching cost is 65.28% for series A, 70.77% for series B, and 77.65% for series C. The estimated test application time for the Counting sequence relative to Walking Ones is reduced by 88.00%. It is shown that reordering the vectors reduces the switching cost without changing the composition of the test set and without degrading the median values of fault coverage and diagnostic resolution.

Keywords: boundary scan, IEEE 1149.1, JTAG, test vectors, Counting, 2-opt, interconnection topology, printed circuit board, switching activity, fault coverage.

Актуальность

Рост функциональной плотности радиоэлектронной аппаратуры, применение корпусов BGA, CSP и многослойных HDI-плат уменьшают доступность контактных узлов для традиционного внутрисхемного и зондового контроля. В этих условиях технология граничного сканирования Boundary Scan по стандарту IEEE 1149.1 остается одним из основных средств контроля межсоединений после монтажа компонентов на печатную плату [1]. В стандарте IEEE 1149.1 определены тестовая логика, порт TAP, регистр граничного сканирования и процедуры последовательной загрузки и считывания тестовых данных [2-4].

При выполнении инструкции EXTEST тестовый вектор задает логические состояния выходных ячеек регистра граничного сканирования (Boundary Scan Register), а реакция контролируется входными ячейками. Поэтому задача генерации тестовой последовательности обычно формулируется как поиск набора векторов [5], обеспечивающий требуемое покрытие неисправностей. Однако, в такой постановке порядок следования векторов рассматривается как вторичный параметр. Между тем, при фиксированном составе тестового множества именно порядок определяет суммарную переключающую активность между соседними векторами, а также характер одновременных переключений топологически близких цепей платы.

В работах по энергоэффективному тестированию цифровых схем показано, что переупорядочивание тестовых векторов и уменьшение расстояния Хэмминга между соседними наборами позволяет снижать переключающую активность при тестировании [6, 7]. В случае тестирования межсоединений печатной платы, учета этого параметра недостаточно, поскольку две последовательности с одинаковым расстоянием Хэмминга могут по-разному воздействовать на физически близкие проводники. Следовательно, требуется введение функции стоимости, учитывающей не только количество переключившихся битов между соседними тестовыми векторами, но и топологию межсоединений печатной платы. Подход к учету пространственного расположения тестируемых объектов концептуально близок пространственно-ориентированным методам оптимизации тестовых последовательностей [8].

Как отмечается в обзорных и практических материалах по Boundary Scan и JTAG-инструментам, открытые и коммерческие средства решают широкий круг задач конфигурирования, отладки и граничного сканирования, однако их алгоритмы оптимизации порядка тестовых векторов, как правило, не раскрываются и не ориентированы на явный учет топологии конкретной печатной платы [3, 4, 9].

Это формирует научно-практическую задачу разработки воспроизводимого алгоритма переупорядочивания тестовых векторов граничного сканирования по топологически взвешенному критерию.

Цель и задачи исследования

Цель исследования состоит в разработке и вычислительной оценке алгоритма оптимизации последовательности тестовых векторов граничного сканирования, учитывающего топологию межсоединений печатной платы и направленного на снижение суммарной стоимости переключений при сохранении диагностических характеристик тестового набора.

Для достижения цели решаются следующие задачи:

формализация функции стоимости переходов между тестовыми векторами;

формирование компактного набора векторов методом Counting;
 оптимизация порядка векторов методом 2-opt/exact;
 выполнение верификации на модельных топологиях печатных плат;
 сопоставление результата с альтернативными методами по качеству решения и времени генерации.

Материалы и методы исследования

Модель платы и неисправностей

В качестве объекта исследования использована модельная топология печатной платы, содержащая M компонентов, из которых P поддерживают стандарт IEEE 1149.1 и включены в единую цепочку граничного сканирования. Топология межсоединений платы описывается взвешенным неориентированным графом $H_{good}(V, E, W)$, где $V = \{v_1, v_2, \dots, v_N\}$ – множество контактных узлов (nets), E – множество проводников, а весовая функция $W: E \times E \rightarrow [0,1]$ характеризует вероятность появления паразитного соединения между парой проводников в зависимости от их взаимного расположения на плате.

Множество неисправностей $F = \{f_1, f_2, \dots, f_M\}$ включает неисправности класса «обрыв» (open), «короткое замыкание» (short) и «паяный дефект» (solder fault). Каждой неисправности f_q приписывается весовой коэффициент $w_q \in (0,1]$, отражающий ее критичность и вероятность возникновения с учетом технологического процесса монтажа и параметров трассировки. Граф неисправностей H_{fault} получается модификацией H_{good} путем удаления ребра для «обрыва», добавлением паразитного ребра для «короткого замыкания», а паяный дефект моделируется как резистивное короткое замыкание между топологически смежными цепями с добавлением соответствующего паразитного ребра и его веса.

Тестовая последовательность и метрики

Тестовая последовательность определяется как упорядоченное множество $T = \{S_1, S_2, \dots, S_K\}$, где каждый вектор $S_t \in \{0,1\}^N$ задает логические уровни на всех N выходных ячейках регистра граничного сканирования при выполнении инструкции EXTEST. Ответная реакция схемы фиксируется на входных ячейках и сравнивается с эталонными значениями словаря неисправностей (fault dictionary).

Качество тестовой последовательности оценивается тремя метриками.

Покрытие неисправностей (Fault Coverage, FC) определяется как взвешенная доля обнаруживаемых неисправностей:

$$FC(T, F) = \frac{\sum_{q=1}^M w_q \cdot 1[\exists t: d_{qt}=1]}{\sum_{q=1}^M w_q} \cdot 100\%, \quad (1)$$

где $d_{qt} = 1$, если вектор S_t обнаруживает неисправность f_q .

Время применения тестов (Test Application Time, T_{TAP}) – полное время выполнения последовательности на аппаратной платформе:

$$T_{TAP} = K \cdot (L_{chain} + C_{overhead}) \cdot T_{TСК}, \quad (2)$$

где K – число тестовых векторов, L_{chain} – длина BSR-цепочки в битах, $C_{overhead}$ – число тактов ТСК на переходы ТАР-автомата, $T_{TСК} = 1/f_{TСК}$ – период тактового сигнала.

Диагностическое разрешение (Diagnostic Resolution, DR) определяется как доля пар неисправностей (f_i, f_j) , для которых существует хотя бы один тестовый вектор, формирующий различные ответные реакции на эти неисправности.

$$DR(T, F) = \frac{|\{(f_i, f_j): \exists t\}|}{\binom{M}{2}} \cdot 100\%. \quad (3)$$

Функция стоимости переключений

Переключательная активность при смене соседних векторов S_t и S_{t+1} в BSR-цепочке определяет не только энергопотребление, но и вероятность ложного срабатывания детектора неисправностей при наличии резистивных дефектов. Для учета топологии платы вводится функция стоимости перехода между двумя векторами:

$$C(S_t, S_{t+1}) = \sum_{i=1}^N |s_{ti} - s_{t+1,i}| \cdot \left(1 + \alpha \sum_{j=1, j \neq i}^N W_{ij} \cdot |s_{tj} - s_{t+1,j}| \right), \quad (4)$$

где $W_{ij} \in [0,1]$ – элемент матрицы смежности цепей (топологический вес пары проводников i и j),

$\alpha \geq 0$ – настраиваемый параметр, регулирующий вклад топологической составляющей. При $\alpha = 0$ функция вырождается в расстояние Хэмминга; при $\alpha > 0$ одновременные переключения топологически смежных цепей штрафуются сильнее.

Суммарная стоимость последовательности определяется выражением:

$$C_{total}(T) = \sum_{t=1}^{K-1} C(S_t, S_{t+1}). \quad (5)$$

Задача оптимального формирования тестовой последовательности принимает вид:

$$T^* = \arg \min_T C_{total}(T) \quad (6)$$

При фиксированном K и $\alpha = 0$ задача минимизации $C_{total}(T)$ сводится к задаче коммивояжера на полном взвешенном графе $G(V_T, E_T)$, вершинами которого являются тестовые векторы $V_T = \{S_1, \dots, S_K\}$, а весами ребер (S_i, S_j) – расстояния Хэмминга между ними [10]. Следовательно, рассматриваемая задача является NP-трудной; добавление топологической составляющей не снижает вычислительной сложности. Эвристика 2-орт широко применяется для решения метрической задачи коммивояжера и обладает известными оценками качества [11], что делает ее естественным выбором и для рассматриваемой задачи.

Алгоритм генерации и оптимизации тестовых векторов

Предлагаемый алгоритм состоит из двух последовательных этапов. На первом этапе формируется минимальный по числу векторов набор T_{base} , обеспечивающий заданный уровень покрытия неисправностей. На втором этапе фиксированный набор T_{base} переупорядочивается так, чтобы минимизировать $C_{total}(T)$ при сохранении покрытия неисправностей и диагностического разрешения. Такое разделение обосновано тем, что покрытие неисправностей инвариантно относительно перестановки векторов в последовательности и определяется составом множества T , но не порядком его элементов.

Этап 1. Генерация минимального набора векторов

Для полного покрытия всех пар «управляющая ячейка – наблюдаемая ячейка» при тестировании N узлов методом EXTEST необходимо и достаточно, чтобы каждый из N выходных битов принял значение «0» и «1» хотя бы в одном из K векторов. Минимальное число тестовых векторов определяется выражением:

$$K_{min} = \lceil \log_2(N + 1) \rceil. \quad (7)$$

Матрица тестовых векторов $S \in \{0,1\}^{K \times N}$ формируется на основе двоичного представления индексов, а нулевой вектор $S_0 = 0$ может включаться дополнительно для обнаружения неисправностей типа stuck-at-1. При необходимости допускается сокращение набора T_{base} за счет жадного алгоритма покрытия при целевом покрытии $FC_{target} < 100\%$ или наличии неисправностей с нулевыми весами.

Этап 2. Оптимизация порядка векторов

После формирования набора $T_{base} = \{S_1, \dots, S_K\}$ задача переупорядочивания формулируется как поиск такой перестановки π , которая минимизирует суммарную стоимость последовательности. При $K \leq 10$ используется точный метод ветвей и границ, а при $K > 10$ – эвристика 2-орт с рандомизированным перезапуском. Вычислительная сложность одной итерации внешнего цикла составляет $O(K^2 \cdot N)$.

Параметр α задает баланс между минимизацией числа переключений и учетом топологии платы. На основании модельных экспериментов рекомендован диапазон $\alpha \in [1,5; 2,5]$ при использовании весовой матрицы W , сформированной по критерию

минимального зазора между проводниками. При отсутствии данных о топологии ($W = 0$) алгоритм автоматически переходит к минимизации расстояния Хэмминга.

Результаты и их обсуждение

Модельная топология печатной платы

Для проверки корректности и эффективности предложенного алгоритма использовался вычислительный эксперимент, основанный на моделировании плат с заданными статистическими свойствами межсоединений и неисправностей. Такой подход позволяет варьировать размерность задачи и параметры топологии в широких пределах без необходимости изготовления реальных образцов.

Каждая плата описывалась тремя параметрами (N, ρ_W, ρ_F) , где N – число узлов, соответствующее количеству выходных BSC-ячеек;

$\rho_W \in (0,1)$ – относительная плотность ненулевых элементов матрицы смежности W ;
 $\rho_F \in (0,1)$ – доля потенциально дефектных межсоединений.

Вычислительные эксперименты проводились для трех серий плат: серия А – $N = 50, \rho_W = 0,08, \rho_F = 0,10$; серия В – $N = 250, \rho_W = 0,14, \rho_F = 0,10$; серия С – $N = 1000, \rho_W = 0,22, \rho_F = 0,10$. Каждая серия включала 100 независимых реализаций (H_{good}, F) , сгенерированных методом Монте-Карло.

Методика вычислительного эксперимента

Для каждой модели платы выполнялись генерация базового набора T_{base} , моделирование ответных реакций, оптимизация порядка, сравнение с альтернативными методами и статистическая обработка результатов. По заданному N формировалась матрица тестовых векторов методом Counting, обеспечивающая $K_{min} = \lceil \log_2(N + 1) \rceil$, после чего при необходимости применялся жадный алгоритм Set Cover для достижения уровня $FC_{target} = 0,98$. Для контрольной предвыборки серии В оптимизация порядка дополнительно выполнялась методами имитации отжига и генетического алгоритма, реализованными по классическим схемам.

Результаты моделирования

Сводные результаты вычислительного эксперимента приведены в табл. 1.

Таблица 1 – Результаты моделирования

Серия	Число векторов в последовательности Walking Ones	Число векторов в Counting-наборе	C_{total} до опт., медиана	C_{total} после опт., медиана	T_{TAP} до опт., мкс	T_{TAP} после опт., мкс
А	50	6	169,342	58,797	1745	209,4
В	250	8	4004,686	1170,724	8725	279,2
С	1000	10	62281,018	13919,357	34900	349

Результаты вычислительного эксперимента подтверждают два различных эффекта предложенного подхода. Первый эффект связан с уменьшением числа тестовых векторов при переходе от последовательности Walking Ones к Counting-набору. Второй эффект связан с переупорядочиванием уже сформированного набора векторов, при котором число векторов не изменяется, но уменьшается суммарная топологически-взвешенная стоимость переключений C_{total} .

Для анализа влияния параметра (α) использовалось нормированное отношение $(C_{total}^{после} / C_{total}^{до})$, показывающее, какая доля исходной стоимости сохраняется после оптимизации порядка тестовых векторов. Чем меньше это отношение, тем выше эффект

оптимизации. На рисунке 1 показана зависимость нормированной остаточной стоимости от параметра (α) для трех серий модельных топологий печатных плат.

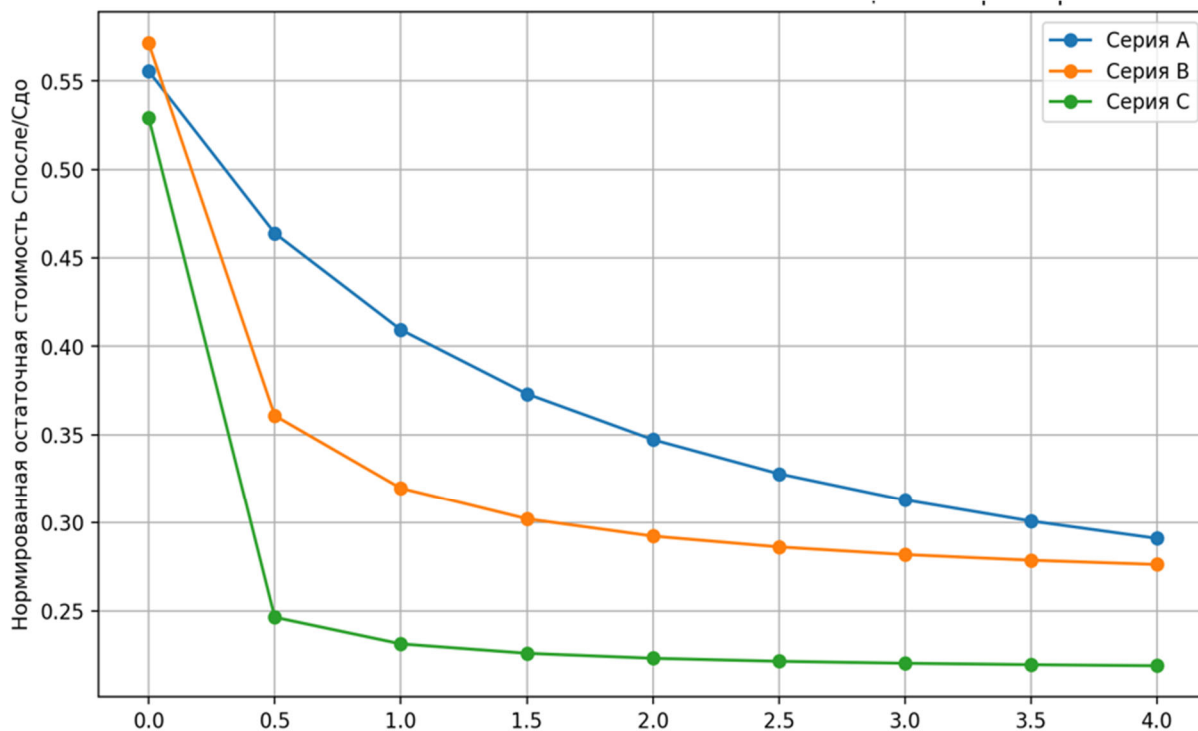


Рисунок 1 – Зависимость нормированной остаточной стоимости $C_{total}^{после}/C_{total}^{до}$ от параметра α для серий А-С

Убывающий характер кривых на рисунке 1 показывает, что увеличение параметра (α), отвечающего за вклад топологической составляющей в функцию стоимости, приводит к уменьшению доли остаточной стоимости после оптимизации. Для серии А значение ($C_{total}^{после}/C_{total}^{до}$) уменьшается с 0,5556 при ($\alpha = 2,0$) до 0,2910 при ($\alpha = 4,0$). Для серии В аналогичное значение уменьшается с 0,5714 до 0,2763, а для серии С – с 0,5294 до 0,2193. Следовательно, учет топологической близости цепей усиливает эффект переупорядочивания тестовых векторов, особенно для серии С.

При этом основной прирост эффективности наблюдается уже при переходе от ($\alpha = 0$) к положительным значениям (α). Дальнейшее увеличение параметра приводит к более умеренному снижению остаточной стоимости, что указывает на наличие области насыщения. С практической точки зрения значение ($\alpha = 2,0$) можно рассматривать как оптимальный вариант для рассматриваемой модели, поскольку при нем достигается выраженное снижение стоимости без необходимости чрезмерного усиления топологической составляющей.

Более наглядно эффект оптимизации при рабочем значении ($\alpha = 2,0$) представлен на рисунке 2. Для серии А медианная стоимость переключений до оптимизации составляет 169,342, после оптимизации – 58,797. Для серии В соответствующие значения равны 4004,686 и 1170,724, для серии С – 62281,018 и 13919,357. Таким образом, относительное снижение суммарной стоимости переключений составляет 65,28% для серии А, 70,77% для серии В и 77,65% для серии С.

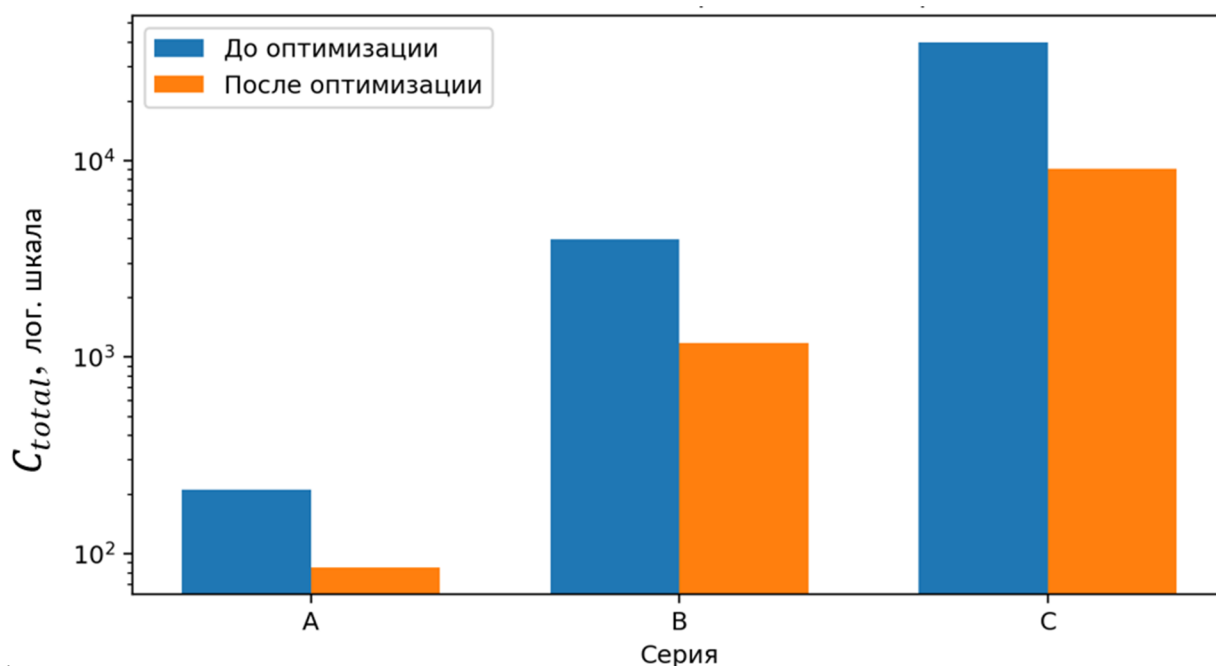


Рисунок 2. Медианная стоимость переключений до и после оптимизации при $\alpha = 2,0$.

Полученные значения показывают, что оптимизация порядка векторов дает устойчивый эффект для всех рассматриваемых серий. При этом важно подчеркнуть, что переупорядочивание не изменяет состав тестового набора, поэтому оно не является способом сокращения количества тестов. Его назначение состоит в уменьшении суммарной стоимости переходов между соседними векторами.

Отдельно оценивалось время работы методов оптимизации порядка тестовых векторов. На рисунке 3 приведено сравнение медианного времени работы основного метода 2-opt/exact с методами имитации отжига (SA) и генетическим алгоритмом (GA). Поскольку различия между методами по времени выполнения превышают порядок величины, график представлен в логарифмической шкале.

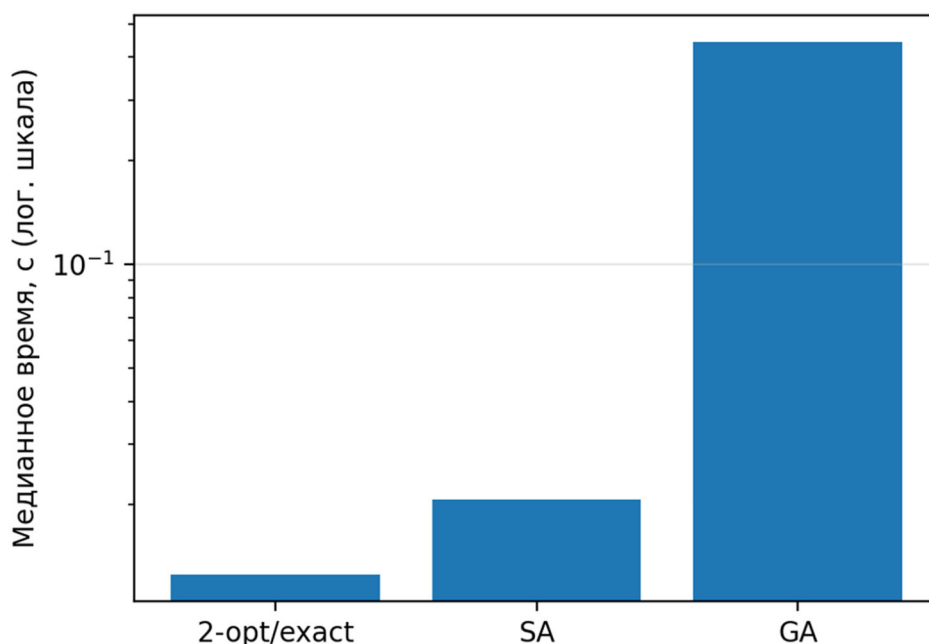


Рисунок 3 – Сравнение медианного времени генерации последовательности для 2-opt/exact, SA и GA.

Минимальное медианное время показывает метод 2-opt/exact – 0,012571 с. Для SA медианное время составляет 0,020713 с, а для GA – 0,443081 с. Следовательно, 2-opt/exact работает примерно в 1,65 раза быстрее SA и более чем в 35 раз быстрее GA. Это

подтверждает, что для рассматриваемой задачи 2-opt/exact обеспечивает наиболее выгодное соотношение между качеством оптимизации и вычислительными затратами. Метод SA занимает промежуточное положение, а GA оказывается существенно более затратным по времени, что снижает его практическую привлекательность для оперативной генерации тестовых последовательностей.

Полученные результаты следует интерпретировать в пределах принятой вычислительной модели. Эксперимент выполнен на модельных топологиях, поэтому абсолютные значения стоимости переключений не следует напрямую переносить на конкретную печатную плату без учета ее BSDL-описаний, netlist-данных, физической трассировки и параметров аппаратного TAP-контроллера. Вместе с тем выявленная закономерность снижения (C_{total}) при учете топологической составляющей и сохранении диагностических характеристик подтверждает перспективность дальнейшей проверки алгоритма на реальных данных печатных плат.

Заключение

Разработан двухэтапный алгоритм генерации и оптимизации последовательности тестовых векторов граничного сканирования, включающий формирование компактного Counting-набора и последующее переупорядочивание векторов по топологически-взвешенной функции стоимости. Показано, что переход от Walking Ones к Counting снижает расчетное Ttest на 88,00% для серии А, 96,80% для серии В и 99,00% для серии С за счет уменьшения числа векторов. При $\alpha = 2,0$ медианное снижение суммарной стоимости переключений после оптимизации порядка составляет 65,28%, 70,77% и 77,65% для серий А, В и С соответственно. Алгоритм 2-opt/exact обеспечивает наилучшее соотношение качества и времени генерации.

Ограничение исследования состоит в использовании модельных топологий печатных плат. Дальнейшая работа должна включать извлечение W из CAD-, netlist- и ODB++-данных, использование BSDL-описаний реальных микросхем, а также аппаратную проверку результатов.

Список литературы:

1. IEEE Std 1149.1-2013. IEEE Standard for Test Access Port and Boundary-Scan Architecture. IEEE Standards Association, 2013. URL: <https://standards.ieee.org/ieee/1149.1/4484/> (дата обращения: 07.05.2026).
2. Texas Instruments. IEEE Std 1149.1 (JTAG) Testability Primer. Application Report SSYA002C. URL: <https://www.ti.com/lit/an/ssya002c/ssya002c.pdf> (дата обращения: 27.05.2026).
3. IEEE 1149 Boundary Scan Test // Semiconductor Engineering. URL: https://semiengineering.com/knowledge_centers/standards-laws/standards/ieee-1149/ (дата обращения: 07.05.2026).
4. Скорубский В. И., Овчаров Д. В., Макаров Д. А. Средства тестирования печатных плат с использованием технологии JTAG // Научно-технический вестник информационных технологий, механики и оптики. 2007. №45. С. 91-96.
5. Дьячков Ю. В., Белецкая С. Ю. Автоматизированное создание тестовых векторов при верификации программируемых логических интегральных схем // Вестник ВГТУ. 2009. № 11. С. 62-63.
6. Paramasivam K., Gunavathi K. Reordering Algorithm for Minimizing Test Power in VLSI Circuits // Engineering Letters. 2007. Vol. 14, No. 1. URL:

https://www.engineeringletters.com/issues_v14/issue_1/EL_14_1_15.pdf (дата обращения: 07.05.2026).

7. Матросова А.Ю., Тычинский В.З. О возможностях замены произвольных тестовых пар, обнаруживающих робастно тестируемые неисправности задержек пути, на тестовые пары, соседние по входной переменной пути // Вестн. Том. гос. ун-та. Управление, вычислительная техника и информатика. 2025. №72. С.134-143.
8. Андреева В. В., Сорудейкин К. А. Пространственно-ориентированная оптимизация тестовых последовательностей с применением итеративного подхода по многим переменным // Вестник Томского государственного университета. Управление, вычислительная техника и информатика. 2015. № 1 (30). С. 68–76.
9. Никонов А. В. Генерация тест-векторов для испытательных систем электронных модулей // Известия высших учебных заведений. Приборостроение. 2019. Т. 62, № 9. С. 237-244.
10. OpenOCD User's Guide. JTAG Commands. URL: <https://openocd.org/doc/html/JTAG-Commands.html> (дата обращения: 07.05.2026).
11. Johnson D. S., McGeoch L. A. The Traveling Salesman Problem: A Case Study in Local Optimization // Local Search in Combinatorial Optimization / ed. by E. H. L. Aarts, J. K. Lenstra. Wiley, 1997. P. 215-310.
12. Hougardy S., Zaiser F., Zhong X. The Approximation Ratio of the 2-Opt Heuristic for the Metric Traveling Salesman Problem // Operations Research Letters. 2020. Vol. 48, Iss. 4. P. 401-404.

References:

1. IEEE Std 1149.1-2013. IEEE Standard for Test Access Port and Boundary-Scan Architecture. IEEE Standards Association, 2013. Available at: <https://standards.ieee.org/ieee/1149.1/4484/> (accessed 07.05.2026).
2. Texas Instruments. IEEE Std 1149.1 (JTAG) Testability Primer. Application Report SSYA002C. Available at: <https://www.ti.com/lit/an/ssya002c/ssya002c.pdf> (accessed 27.05.2026).
3. IEEE 1149 Boundary Scan Test. Semiconductor Engineering. Available at: https://semiengineering.com/knowledge_centers/standards-laws/standards/ieee-1149/ (accessed 07.05.2026).
4. Skorubskiy V.I., Ovcharov D.V., Makarov D.A. PCB testing tools using JTAG technology. Nauchno-tekhnicheskiiy vestnik informatsionnykh tekhnologiy, mekhaniki i optiki, 2007. P. 91-96.
5. Dyachkov Yu.V., Beletskaya S.Yu. Automated creation of test vectors for programmable logic integrated circuit verification. Vestnik VGTU, 2009, no. 11. P. 62-63.
6. Paramasivam K., Gunavathi K. Reordering Algorithm for Minimizing Test Power in VLSI Circuits. Engineering Letters, 2007, vol. 14, no. 1. Available at: https://www.engineeringletters.com/issues_v14/issue_1/EL_14_1_15.pdf (accessed 07.05.2026).
7. Matrosova A.Yu., Tychinsky V.Z. On the possibility of replacing arbitrary test pairs detecting robustly testable path delay faults with test pairs adjacent in the path input

- variable. Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie, vychislitel'naya tekhnika i informatika, 2025, no. 72. P. 134-143.
8. Andreeva V.V., Sorudeykin K.A. Spatially oriented optimization of test sequences using an iterative multivariable approach. Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie, vychislitel'naya tekhnika i informatika, 2015, no. 1 (30). P. 68-76.
 9. Nikonov A.V. Generation of test vectors for electronic module test systems. Izvestiya vysshikh uchebnykh zavedeniy. Priborostroenie, 2019, vol. 62, no. 9, pp. 825-831. Available at: <https://cyberleninka.ru/article/n/generatsiya-test-vektorov-dlya-ispytatelnyh-sistem-elektronnyh-moduley> (accessed 07.05.2026).
 10. OpenOCD User's Guide. JTAG Commands. Available at: <https://openocd.org/doc/html/JTAG-Commands.html> (accessed 07.05.2026).
 11. Johnson D.S., McGeoch L.A. The Traveling Salesman Problem: A Case Study in Local Optimization. In: Aarts E.H.L., Lenstra J.K. (eds.) Local Search in Combinatorial Optimization. Wiley, 1997, pp. 215-310. Available at: <https://www.cs.ubc.ca/~hutter/previous-earg/EmpAlgReadingGroup/TSP-JohMcg97.pdf> (accessed 07.05.2026).
 12. Hougardy S., Zaiser F., Zhong X. The Approximation Ratio of the 2-Opt Heuristic for the Metric Traveling Salesman Problem. Operations Research Letters, 2020, vol. 48, iss. 4, pp. 401-404. Available at: <https://arxiv.org/abs/1909.12025> (accessed 07.05.2026).